

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-216065

(43)Date of publication of application : 05.08.1994

(51)Int.Cl.

H01L 21/285  
H01L 21/285  
H01L 21/3205

(21)Application number : 05-007246

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 20.01.1993

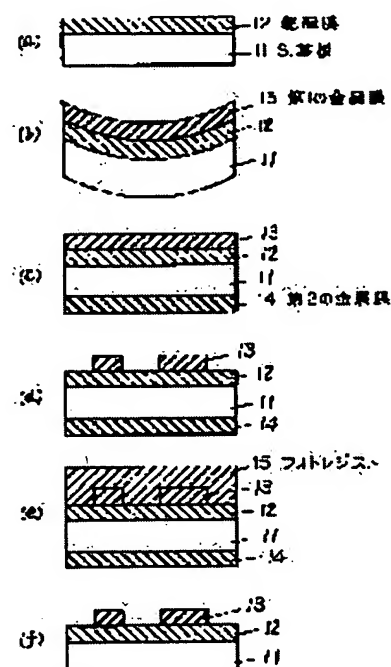
(72)Inventor : SEKIGUCHI MITSURU

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To obtain a method of manufacturing a semiconductor device, wherein a semiconductor substrate is protected against warpage caused by a film stress, the device can be easily transferred, and a junction leakage can be restrained from occurring in the device.

**CONSTITUTION:** A first metal film 13 is deposited on a semiconductor substrate 11 (b), and a second metal film 14 which warps the substrate 11 the same in direction and size as the first metal film 13 is deposited on the rear side of the substrate 11 (c). Thereafter, the metal film 13 is patterned (d), and lastly the second metal film 14 is removed (e, f). By this setup, stress imposed on a semiconductor substrate totals to zero, so that the substrate is hardly warped. Therefore, troubles that a semiconductor device is hard to transfer by a transfer device where a vacuum chuck is utilized and is increased in junction leakage can be eliminated.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-216065

(43) 公開日 平成6年(1994)8月5日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/285	C	7376-4M		
	3 0 1 R	7376-4M		
21/3205		7514-4M	H 0 1 L 21/ 88	B
審査請求 未請求 請求項の数 2 O L (全 3 頁)				

(21) 出願番号 特願平5-7246

(22) 出願日 平成5年(1993)1月20日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 関口 満

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 弁理士 小鍛冶 明 (外2名)

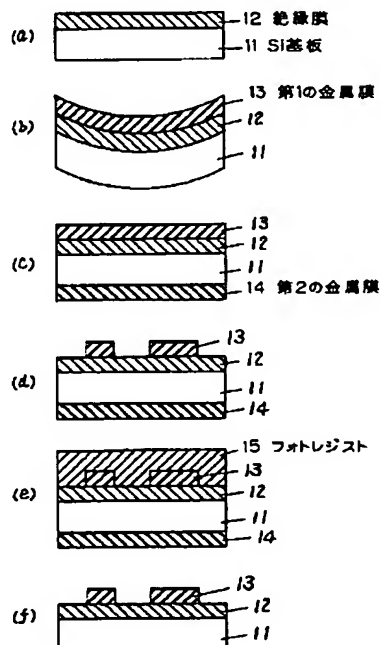
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 膜応力による半導体基板の反りを防ぎ、搬送が容易、かつ接合リークの発生を抑制した半導体装置の製造方法を得る。

【構成】 半導体基板11に第1の金属膜13を堆積し (b)、半導体基板11の裏面に第1の金属膜13と基板に与える反りの方向、大きさが等しい第2の膜14を堆積する (c)。その後、第1の金属膜13をパターニングし (d)、最後に第2の金属膜14を除去する (e, f)。

【効果】 本発明は、半導体基板にかかる応力がトータルではほぼ0となり、半導体基板の反りがなくなる。そのため、真空チャックを用いた装置での搬送困難、接合リークの増大といった問題を解消することができる。



## 【特許請求の範囲】

【請求項1】 半導体基板に第1の膜を堆積する工程と、前記半導体基板の裏面に前記第1の膜と基板に与える反りの方向、大きさが等しい第2の膜を堆積する工程と、前記第1の膜をパターニングする工程と、その後第2の膜を除去する工程とを備えた半導体装置の製造方法。

【請求項2】 請求項1記載の第1の膜が高融点金属膜とこの高融点金属膜上に化学気相成長法により堆積した高融点金属膜である半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、応力の大きい膜をパターニングする工程を有する半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】 近年、シリコン半導体装置における配線材料として、エレクトロマイグレーションに強いWが用いられている。このWはコンタクトホールでのカパレツジをよくするため化学気相成長法にて成膜されている。化学気相成長法にてWを半導体基板上に堆積する場合にはWと半導体基板との密着性を高める必要がある。そのため、半導体基板上に、スパッタ蒸着法等にてW、TiN/Ti等の高融点金属膜を密着層として堆積した後、化学気相成長法にてWを半導体基板上に堆積する方法が一般に行われている。例えば、N.Yokoyama et al., Symp. VLSITech., シンポジウム ヴィエスアイテクノロジー (1992), pp. 68参照。

## 【0003】

【発明が解決しようとする課題】 しかしながら上記のような構成では、化学気相成長法にて堆積したW膜は膜応力が引っ張り方向に $10^9$  dyne/cm<sup>2</sup>程度と大きく、配線として必要な $1\mu\text{m}$ 程度の膜厚を堆積すると、半導体基板を $100\mu\text{m}$ 近く反らせてしまい、搬送に真空チャックを用いた装置では搬送が困難になるという問題点を有していた。またこのように応力の大きい膜は半導体基板内の結晶欠陥発生の原因となりやすく、接合リークの原因になりやすいという問題点も有している。

【0004】 本発明は上記問題点に鑑み、真空チャックを用いた装置での搬送困難、接合リークの増大といった問題がなく、応力の大きい膜をパターニングする工程を有する半導体装置の製造方法を提供するものである。

## 【0005】

【課題を解決するための手段】 上記問題点を解決するために本発明の半導体装置の製造方法は、半導体基板に第1の膜を堆積する工程と、前記半導体基板の裏面に第1の膜と基板に与える反りの方向、大きさが等しい第2の膜を堆積する工程と、前記第1の膜をパターニングする工程と、その後前記第2の膜を除去する工程を備えたものである。

## 【0006】

【作用】 本発明は上記した構成によって、応力の大きい第1の膜と基板に与える反りの等しい第2の膜を半導体基板の裏面に有するため、半導体基板にかかる応力がトータルではほぼ0となり、半導体基板の反りがなくなる。そのため、真空チャックを用いた装置での搬送困難、接合リークの増大といった問題が解消される。その後、第1の膜をパターニングした際に第1の膜からの応力は減少し、半導体基板は第2の膜による応力で反るが、搬送に真空チャックを用いないウエットエッチング等の方法を用いて第2の膜を除去する。すると半導体基板上にはパターニングされた第1の膜のみが残る。パターニングされた膜からの応力はパターニング前より減少していると考えられ、基板の反りは少なく以後の真空チャックを用いた搬送で問題になることはない。

## 【0007】

【実施例】 以下本発明の一実施例の半導体装置の製造方法について、図面を参照しながら説明する。

【0008】 図1は本発明の実施例における工程順断面図を示すものである。図1において、11はSi基板、12は絶縁膜、13は第1の金属膜、14は第2の金属膜、15はレジストである。

【0009】 まず図1(a)のようにSi基板11上に絶縁膜12が成膜されている。次に図1(b)に示すように応力の大きい第1の金属膜13が成膜される。例えばこれはスパッタ蒸着法にて成膜したW膜と前記W膜上に化学気相成長法にて堆積したW膜の2層から形成されている。化学気相成長法にて堆積したW膜は応力が大きいため、Si基板11に反りが生じる。

【0010】 次に図1(c)に示すように、Si基板11の裏面に第1の金属膜13と基板に与える反りが等しくなるような第2の金属膜14を成膜する。例えばこれはスパッタ蒸着法にて成膜したW膜と前記W膜上に化学気相成長法にて堆積したW膜の2層から形成されている。これにより半導体基板にかかる応力は相殺され、基板のそりは無くなる。

【0011】 次に図1(d)に示すように、通常のフォトリソグラフィ法とエッチング法により、第1の金属膜13をパターニングし、金属配線を形成する。この際Si基板11の反りは小さく、フォトリソグラフィ装置、エッチング装置内での真空チャックを用いた搬送を容易に行うことができる。第1の金属膜13をパターニングした後は、第1の金属膜13からの応力は減少するため、第2の金属膜14の応力によりSi基板11は図1(b)とは反対側に反る。

【0012】 次に図1(e)に示すように、フォトレジスト15を第1の金属膜13上にコートする。

【0013】 最後に図1(f)のように例えば $130^\circ\text{C}$ 程度に加熱した過酸化水素水と硫酸の混合液によって、第2の金属膜14を除去する。この工程は真空チャック

を搬送に用いる必要のないウエットエッチング工程であり、Si基板11の反りは問題がない。最後に、第1の金属膜13はすでに配線パターンとなっているため、Si基板11に与える反りは小さくなっており、後の工程で搬送で問題になることもない。

【0014】なお、本実施例において、第1の金属膜13、第2の金属膜14は、スパッタ蒸着法にて成膜したW膜と前記W膜上に化学気相成長法にて堆積したW膜の2層から形成されているものとしたが、第1の金属膜13、第2の金属膜14は単層膜でもよい。また、第1の金属膜13、第2の金属膜14はW膜としたが、他の高融点金属または高融点金属の窒化物等の化合物からなる単層膜、積層膜どちらとしてもよい。また第1の金属膜13、第2の金属膜14とで必ずしも同じ膜を用いる必要もない。また本実施例では第1の膜として第1の金属膜13、第2の膜として第2の金属膜14を用いているが第1の膜、第2の膜あるいはそのどちらかにポリイミド等の絶縁膜を用いてもよい。本発明は応力の大きい絶縁膜のパターニングにも有効である。

【0015】

【発明の効果】以上のように本発明は、半導体基板に第1の膜を堆積する工程と、前記半導体基板の裏面に前記第1の膜と基板に与える反りの方向、大きさが等しい第2の膜を堆積する工程と、前記第1の膜をパターニングする工程と、その後前記第2の膜を除去する工程を設けることにより、半導体基板にかかる応力がトータルでほぼ0となり、半導体基板の反りがなくなる。そのため、真空チャックを用いた装置での搬送困難、接合リークの増大といった問題を解消することができる。

【図面の簡単な説明】

【図1】本発明の一実施例における工程順断面図

【符号の説明】

- 11 Si基板
- 12 絶縁膜
- 13 第1の金属膜
- 14 第2の金属膜
- 15 フォトリソ

【図1】

